

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 06 062.6

Anmeldetag: 13. Februar 2003

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Speichermodul mit einer Mehrzahl von integrierten
Speicherbauelementen

IPC: G 11 C 11/406

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 21. Januar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Klostermeyer

Beschreibung

Speichermodule mit einer Mehrzahl von integrierten Speicherbauelementen

5

Die vorliegende Erfindung betrifft ein Speichermodule mit einer Mehrzahl von integrierten Speicherbauelementen, die auf einem Trägersubstrat angeordnet sind.

10 Zur Anwendung beispielsweise in Computersystemen ist es bekannt, eine Mehrzahl von Speicherbauelementen etwa in Form von sogenannten DRAMs (Dynamic Random Access Memories) auf einem gemeinsamen Trägersubstrat anzuordnen. Derartige Speicheranordnungen sind insbesondere als sogenannte DIMM (Registered bzw. Buffered Dual Inline Memory Module) bekannt. Die-
15 se sind typischerweise mit 16 oder 18 Speicherbausteinen bestückt, die bei Ausführung als sogenannte SDRAMs oder DDR DRAMs taktgesteuert sind.

20 Ein integrierter dynamischer Speicher in Form eines DRAM weist im allgemeinen ein Speicherzellenfeld auf, das Wortleitungen und Bitleitungen umfaßt. Die Speicherzellen sind dabei in Kreuzungspunkten der Bitleitungen und Wortleitungen angeordnet. Die Speicherzellen weisen insbesondere einen Speicher-
25 cherkondensator und einen Auswahltransistor auf, wobei der Auswahltransistor den zugehörigen Speicher kondensator mit einer der Bitleitungen verbindet. Steueranschlüsse der jeweiligen Auswahltransistoren sind zur Auswahl der Speicherzellen jeweils mit einer der Wortleitungen verbunden. Durch eine aktivier-
30 tierte Wortleitung werden angeschlossene Auswahltransistoren jeweils leitend geschaltet, wobei nach der Auswahl einer Wortleitung an den entsprechenden Bitleitungen Datensignale der Speicherzellen entlang der ausgewählten Wortleitung anliegen. Ein Datensignal einer ausgewählten Speicherzelle wird
35 in einem Leseverstärker des Speicherzellenfeldes bewertet und verstärkt. Bei einem Lesezugriff werden die Datensignale ausgewählter Speicherzellen zur Weiterverarbeitung ausgelesen,

bei einem Schreibzugriff werden zu schreibende Datensignale in die ausgewählten Speicherzellen eingeschrieben.

Bei derartigen integrierten dynamischen Speichern ist in Betriebszeiten, in denen auf die Speicherzellen nicht von außen zugegriffen wird, ein sogenannter Refresh-Betrieb notwendig, um den Speicherzelleninhalt, der sich beispielsweise durch Leckströme des Speicherkondensators oder Auswahltransistors verflüchtigen kann, aufzufrischen und somit dauerhaft zu erhalten. Im Refresh-Betrieb werden die bewerteten und verstärkten Datensignale von ausgewählten Speicherzellen direkt in die betreffenden Speicherzellen zurückgeschrieben.

Integrierte Speicher wie DRAMs werden in Datenverarbeitungssystemen wie beispielsweise Computersystemen betrieben und dabei beispielsweise von einem Mikroprozessor oder Mikrocontroller angesteuert. Ein Speichermodul in Form eines DIMMs ist hierbei in bekannter Weise beispielsweise in einem Steckplatz eines sogenannten Motherboards des Computersystems angeordnet und kommuniziert über entsprechende Leiterbahnen auf dem Motherboard mit dem Mikroprozessor bzw. Mikrocontroller. Um eine Refresh-Sequenz eines Speichers auf einem derart betriebenen DIMM anzustoßen, ist für gewöhnlich ein externes Kommando, etwa ein sogenanntes Auto-Refresh-Kommando notwendig, das periodisch vom Mikroprozessor bzw. Mikrocontroller, beispielsweise in Form eines Speichercontrollers, angelegt wird. Um eine solche Funktionalität erfüllen zu können, ist es notwendig, den Mikroprozessor oder Mikrocontroller mit entsprechenden Registern oder Schaltwerken auszustatten. Dies erhöht jedoch im allgemeinen die Design-Komplexität eines solchen Bausteins.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, ein Speichermodul der eingangs genannten Art anzugeben, durch das ermöglicht ist, bei Einsatz in einem Datenverarbeitungssystem die Design-Komplexität eines im Datenverarbeitungssystem vorzusehenden Speichercontrollers zu verringern.

Diese Aufgabe wird durch ein Speichermodul gemäß Patentanspruch 1 gelöst.

5 Das erfindungsgemäße Speichermodul weist eine Mehrzahl von integrierten Speicherbauelementen sowie eine separat von den Speicherbauelementen auf dem Trägersubstrat angeordnete Refresh-Steuerschaltung auf. Diese ist ausgangsseitig mit der Mehrzahl der integrierten Speicherbauelemente verbunden. Die
10 Refresh-Steuerschaltung ist derart ausgebildet, daß sie selbstständig einen Refresh-Befehl oder eine Refresh-Befehlssequenz zur Auffrischung des Speicherzelleninhalts von Speicherzellen eines ausgewählten der Speicherbauelemente generiert und an das ausgewählte Speicherbauelement überträgt.

15 Damit wird erfindungsgemäß dem Speichermodul, beispielsweise in Form eines DIMM, eine geeignete Schaltung hinzugefügt, die in der Lage ist, einen von einem DRAM benötigten Refresh-Befehl oder eine Refresh-Befehlssequenz zur Auffrischung des
20 Speicherzelleninhalts von Speicherzellen selbstständig zu erzeugen. Solche Refresh-Befehle oder Refresh-Befehlssequenzen müssen daher nicht mehr von einem Speichercontroller beispielsweise eines Computersystems erzeugt werden, so daß dieser von einer derartigen Funktionalität entlastet ist. Da-
25 durch kann die Design-Komplexität eines Speichercontrollers verringert werden. Weiterhin wird vorteilhaft erreicht, daß eine größere Bandbreite auf einem Kommandobus etwa eines Motherboards für andere Zugriffe zur Verfügung steht.

30 In einer vorteilhaften Ausführungsform der Erfindung weist das Trägersubstrat Anschlüsse zur Zuführung von Adreß- und Befehlssignalen auf. Die Refresh-Steuerschaltung ist ein- gangsseitig mit den Anschlüssen zur Zuführung der Adreß- und Befehlssignale verbunden und weiterhin derart ausgebildet,
35 daß sie bei Zuführung von außerhalb des Speichermoduls erzeugten Adreß- oder Befehlssignalen diese empfängt und verarbeitet und abhängig von einer daraus gewonnenen Zugriffsin-

formation selbständig einen Refresh-Befehl oder eine Refresh-Befehlssequenz absetzt. Insbesondere werden Befehlssignale hinsichtlich eines definierten Befehlsmusters ausgewertet und daraus selbständig der Zeitpunkt festgelegt, wann ein Refresh-Befehl oder eine Refresh-Befehlssequenz abgesetzt wird. Hierbei werden die Befehlssignale beispielsweise mittels eines heuristischen Algorithmus ausgewertet. Durch einen solchen kann erkannt werden, wann eine Pause in einer Befehlssequenz "geeignet" für das Absetzen eines Refresh-Befehls ist.

In einer alternativen Ausführungsform ist in der Refresh-Steuerschaltung ein einstellbarer Zeitwert eingestellt, der festlegt, innerhalb welcher Zeit ein Speicherzelleninhalt von Speicherzellen eines entsprechenden Speicherbauelements aufzufrischen ist. In Abhängigkeit dieses einstellbaren Zeitwerts wird von der Refresh-Steuerschaltung ein Refresh-Befehl oder eine Refresh-Befehlssequenz abgesetzt.

In einer alternativen Ausführungsform wird durch die Refresh-Steuerschaltung festgestellt, auf welche Reihen eines matrixförmig organisierten Speicherzellenfeldes eines ausgewählten Speicherbauelements in einem definierten Zeitraum (beispielsweise 1 bis 2 μ s) kein Zugriff stattgefunden hat. In Abhängigkeit dieser Auswertung wird selbständig der Zeitpunkt festgelegt, wann ein Refresh-Befehl oder eine Refresh-Befehlssequenz abgesetzt wird. Somit werden im wesentlichen nur diejenigen Reihen eines Speicherzellenfeldes einem Refresh unterzogen, auf die längere Zeit kein Zugriff stattgefunden hat.

In einer bevorzugten Ausführungsform ist die Refresh-Steuerschaltung innerhalb eines von den Speicherbauelementen separaten Halbleiterbausteins angeordnet.

Weitere vorteilhafte Aus- und Weiterbildungen der Erfindung sind in Unteransprüchen angegeben.

Die Erfindung wird im folgenden anhand der in der Zeichnung dargestellten Figuren, die Ausführungsbeispiele der vorliegenden Erfindung darstellen, näher erläutert.

5

Es zeigen:

Figur 1 eine Ausführungsform eines Speichermoduls gemäß der Erfindung,

10

Figur 2 eine Ausführungsform eines Computersystems mit einem Speichercontroller und mehreren Speichermodulen gemäß der Erfindung,

15 Figur 3 eine Ausführungsform für einen Satz von Zähler-schaltungen mit zugehöriger Ansteuerungs- und Auswertungsschaltung.

In Figur 1 ist grobschematisch eine Ausführungsform eines Speichermoduls gemäß der Erfindung dargestellt. Im vorliegenden Ausführungsfall handelt es sich um eine DIMM-Modulanordnung, bei der auf einem Trägersubstrat 50 eine Mehrzahl von integrierten Speicherbauelementen, hier in Form von DRAM-Speichern 10 bis 18 und 20 bis 28, angeordnet ist. Separat von den Speicherbauelementen 10 bis 18 und 20 bis 28 ist eine Refresh-Steuerschaltung 30 auf dem Trägersubstrat 50 angeordnet, die mit einem Kommando- und Adreßbus CA sowie mit einer Taktsignalleitung CK verbunden ist. Der eingangsseitige Anschluß der Refresh-Steuerschaltung 30 ist mit der Kontaktleiste 40 des Speichermoduls 1 verbunden, die Anschlüsse zur Eingabe und Ausgabe von Datensignalen DA, zur Eingabe eines Taktsignals CLK und Anschlüsse zur Eingabe von Adreßsignalen ADR und Befehlssignalen CMD aufweist.

35 Die Refresh-Steuerschaltung 30 ist eingangsseitig mit den jeweiligen Anschlüssen der Kontaktleiste 40 zur Zuführung der Adreßsignale ADR und Befehlssignale CMD verbunden. Sie ist

ausgangsseitig mit einem Kommando- und Adreßbus CA1 für das erste sogenannte Speicher-Rank mit den Speichern 10 bis 18 verbunden, sowie mit einem Kommando- und Adreßbus CA2 für das zweite Speicher-Rank mit den Speichern 20 bis 28. Weiterhin ist die Refresh-Steuerschaltung 30 ausgangsseitig mit der Taktsignalleitung CK1 zur Ansteuerung der Speicher 10 bis 18 des ersten Speicher-Ranks und mit der Taktsignalleitung CK2 zur Ansteuerung des zweiten Speicher-Ranks mit den Speichern 20 bis 28 verbunden. Zum Austausch von Daten weisen die Speicher 10 bis 18 und 20 bis 28 jeweilige Datenanschlüsse DQ10 bis DQ18 bzw. DQ20 bis DQ28 auf, die mit den Datenanschlüssen DQ des Speichermoduls 1 verbindbar sind.

Wie beispielhaft anhand des Speichers 10 näher dargestellt, weisen die einzelnen Speicherbauelemente Speicherzellenfelder mit Wortleitungen WL zur Auswahl von Speicherzellen MC und Bitleitungen BL zum Auslesen oder Schreiben von Datensignalen der Speicherzellen MC auf. Die Speicherzellen MC sind in bekannter Weise in Kreuzungspunkten der Wortleitungen WL und Bitleitungen BL angeordnet und jeweils mit einer der Wortleitungen und einer der Bitleitungen verbunden. Die Speicherzellen MC weisen jeweils einen nicht dargestellten Auswahltransistor und Speicherkondensator auf, wobei der Steuereingang der Transistoren mit einer Wortleitung WL verbunden ist, durch die angeschlossene Speicherzellen MC bei einem Speicherzugriff aktiviert werden.

Die Refresh-Steuerschaltung 30 ist derart ausgebildet, daß sie selbständig einen Refresh-Befehl AREF zur Auffrischung des Speicherzelleninhalts von Speicherzellen MC eines ausgewählten Speicherbauelements des Speichermoduls 1 generiert und an das selbige überträgt. Insbesondere werden von außerhalb des Speichermoduls 1 erzeugte Adreß- und/oder Befehls-signale ADR, CMD empfangen und verarbeitet, wobei die Refresh-Steuerschaltung 30 abhängig von einer daraus gewonnenen Zugriffsinformation selbständig einen Refresh-Befehl AREF absetzt. Insbesondere werden durch die Refresh-Steuerschaltung

30 die Befehlssignale CMD hinsichtlich eines definierten Befehlsmusters ausgewertet und daraus selbständig der Zeitpunkt festgelegt, wann ein Refresh-Befehl AREF abgesetzt wird. Die Refresh-Steuerschaltung 30 ist so betreibbar, daß sie die an
5 der Kontaktleiste 40 empfangenen Befehls- und Adreßsignale ADR, CMD an die jeweiligen Speicherbauelemente des Speichermoduls 1 durchschaltet, die angelegten Befehls- und Adreßsignale jedoch quasi "mitliest". Wenn eine geeignete Pause in der Befehlssequenz, insbesondere ein definiertes Befehlsmu-
10 ster etwa mittels eines heuristischen Algorithmus erkannt wird, wird durch die Refresh-Steuerschaltung 30 selbständig ein geeigneter Zeitpunkt festgelegt, wann ein Refresh-Befehl abgesetzt wird.

15 Alternativ zu einem Refresh-Befehl, wie etwa einem sogenannten Auto-Refresh-Befehl mit interner Adreßgenerierung durch einen Zähler, kann auch eine Refresh-Befehlssequenz erzeugt werden. Hierbei werden insbesondere jeweils ein Aktivierungsbefehl zur Aktivierung einer adressierten aufzufrischenden
20 Zeile und nach einer gewissen Mindestzeit (sogenanntes tRAS) ein Vorladebefehl abgesetzt.

In einer anderen Ausführungsform ist in der Refresh-Steuerschaltung 30 in einem Register 31 ein einstellbarer
25 Zeitwert tR eingestellt, durch den angegeben wird, innerhalb welcher Zeit ein Speicherzelleninhalt von Speicherzellen eines entsprechenden Speicherbauelements aufzufrischen ist. Da die Speicherbauelemente 10 bis 18 und 20 bis 28 im allgemeinen vom gleichen Typ sind, genügt in einem solchen Fall die
30 Speicherung eines gemeinsamen Zeitwerts tR, etwa in der Größenordnung von 4 μ s bis 8 μ s. Nach Ablauf der eingestellten Zeit tR seit dem letzten Speicherzellenzugriff wird die entsprechende Speicherzelle zwangsweise einem Refresh unterzogen.

35

In einer alternativen Ausführungsform wird durch die Refresh-Steuerschaltung festgestellt, auf welche der Reihen bzw.

Wortleitungen WL eines ausgewählten Speicherbauelements in einem definierten Zeitraum (beispielsweise 1 bis 2 μ s) kein Zugriff stattgefunden hat. In Abhängigkeit dieser Auswertung legt die Refresh-Steuerschaltung 30 den Zeitpunkt fest, wann ein Refresh-Befehl AREF abgesetzt wird und derartige Wortleitungseinheiten aufgefrischt werden.

Hierzu weist das Speichermodul 1 für unabhängig voneinander betriebene Einheiten von Wortleitungen WL (etwa für einzelne Speicherbänke, die separat voneinander angesteuert werden) jeweils einen Satz 61 von Zählerschaltungen gemäß Figur 3 auf (wobei in Figur 3 der Übersichtlichkeit halber nur ein Satz 61 mit zugehöriger Ansteuerungs- und Auswertungsschaltung gezeigt ist), wobei die einzelnen Zählerschaltungen C[0] bis C[4095] eines Satzes jeweils einer unterschiedlichen Wortleitung WL der entsprechenden Einheit von Reihen zugeordnet sind. Bei den Zählerschaltungen C[0] bis C[4095] handelt es sich vorliegend um Binärzähler, die beispielsweise bis 1000 oder 2000 (entspricht 1 bzw. 2 μ s) zählen und bei einem Zugriff auf die zugeordnete Reihe rückgesetzt werden.

Der Decoder 64 stellt fest, wenn ein Zugriff auf einen Speicher über die Kommandosignale RAS, CAS, WE stattfindet. Über ein Aktivierungssignal EN wird ein Register 65 aktiviert, um die angelegte Adresse ADR im Register zu speichern. Weiterhin wird ein Multiplexer 62 angesteuert, der festlegt, welche der Zählerschaltungen C[0] bis C[4095] über das Rücksetzsignal RST zurückgesetzt wird. Es wird diejenige Zählerschaltung zurückgesetzt, welche der Wortleitung WL zugeordnet ist, auf die gerade ein Zugriff stattfindet. Damit wird durch die linke Hälfte der Schaltung nach Figur 3 festgelegt, welche Zählerschaltung zurückgesetzt wird. Die Zählerschaltungen des Satzes 61 werden über das vom Taktsignal CLK abgeleitete Signal INC inkrementiert.

Über das Signal OUT wird entweder der Zählerstand jedes Zählers ausgelesen oder angezeigt, wenn ein Zähler einen be-

stimmten Wert (siehe obiges Zahlenbeispiel) überschritten hat. Dies wird durch die Kontrollschaltung 63 ausgewertet.

Mit dem Zuführen eines Erlaubnissignals AW vom Decoder 64 wird der Kontrollschaltung 63 angezeigt, wann ein Absetzen

5 eines Refresh-Befehls erlaubt ist. In diesem Fall wird über die Befehls-Einspeiseschaltung 66 mittels des Signals IN ein Refresh-Befehl in den Kommandobus zur Weiterleitung an die entsprechende Einheit von Wortleitungen WL eingespeist. Bei Erzeugung einer Refresh-Befehlssequenz mit zu adressierender
10 Zeile wird eine entsprechende Befehlssequenz über die Befehls-Einspeiseschaltung 66 in den Kommandobus und eine zugehörige Zeilenadresse über die Adreß-Einspeiseschaltung 67 in den Adreßbus eingespeist.

15 Die Refresh-Steuerschaltung 30 mit den beschriebenen Komponenten 63, 64, 66 und 67 wertet also die Zählerschaltungen auf ihren Zählerstand hin aus und legt in Abhängigkeit dieser Auswertung selbständig den Zeitpunkt fest, wann ein Refresh-Befehl oder eine Refresh-Befehlssequenz abgesetzt wird. Ins-
20 besondere wird ein Refresh-Befehl oder eine Refresh-Befehlssequenz abgesetzt, wenn eine Zählerschaltung einen Grenzwert, etwa einen der oben beispielhaft genannten Werte, erreicht hat. Damit wird also eine Tabelle implementiert, der zu entnehmen ist, auf welche der Wortleitungen WL längere
25 Zeit kein Zugriff stattgefunden hat. Solche Einträge werden von der Refresh-Steuerschaltung 30 erkannt und es wird ein entsprechender Refresh-Befehl oder eine Refresh-Befehlssequenz abgesetzt zum Auffrischen der Speicherzellen entlang dieser Wortleitung.

30

In Figur 2 ist eine Ausführungsform eines beispielhaften Computersystems mit einem Speichercontroller 4 und mehreren Speichermodule 1 und 2, die gemäß der Erfindung aufgebaut sind, schematisch dargestellt. Der Speichercontroller 4 ist
35 mit einem Übertragungsbus 5 verbunden, wobei beide sich auf einem Motherboard 3 des Computersystems befinden. Die DIMM-Module 1 und 2 sind über Steckverbinder mit dem Übertragungs-

bus 5 verbunden. Auf dem Übertragungsbus 5 werden das Taktsignal CLK, Adreßsignale ADR, Befehlssignale CMD und Datensignale DA zu den DIMM-Modulen 1 und 2 übertragen. Ein Refresh-Befehl wird vom Speichercontroller 4 nicht übertragen, da
5 diese Funktionalität nunmehr erfindungsgemäß auf dem jeweiligen DIMM implementiert ist.

Patentansprüche

1. Speichermodul (1), umfassend:

- ein Trägersubstrat (50),
- 5 - eine Mehrzahl von integrierten Speicherbauelementen (10 bis 18, 20 bis 28), die auf dem Trägersubstrat angeordnet sind,
- eine separat von den Speicherbauelementen auf dem Träger-
substrat angeordnete Refresh-Steuerschaltung (30), die aus-
gangsseitig mit der Mehrzahl der integrierten Speicherbauele-
10 mente (10 bis 18, 20 bis 28) verbunden ist,
- wobei die Refresh-Steuerschaltung (30) derart ausgebildet
ist, daß sie selbständig einen Refresh-Befehl (AREF) oder ei-
ne Refresh-Befehlssequenz zur Auffrischung des Speicherzel-
leninhalts von Speicherzellen (MC) eines ausgewählten der
15 Speicherbauelemente generiert und an das ausgewählte Spei-
cherbauelement überträgt.

2. Speichermodul nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t, daß

- 20 - das Trägersubstrat (50) Anschlüsse (40) zur Zuführung von
Adreß- und Befehlssignalen (ADR, CMD) aufweist,
- die Refresh-Steuerschaltung (30) eingangsseitig mit den An-
schlüssen (40) zur Zuführung der Adreß- und Befehlssignale
verbunden ist,
- 25 - die Refresh-Steuerschaltung (30) derart ausgebildet ist,
daß sie bei Zuführung von außerhalb des Speichermoduls (1)
erzeugten Adreß- oder Befehlssignalen (ADR, CMD) diese emp-
fängt und verarbeitet und abhängig von einer daraus gewonne-
nen Zugriffsinformation selbständig einen Refresh-Befehl
30 (AREF) oder eine Refresh-Befehlssequenz absetzt.

3. Speichermodul nach Anspruch 2,

d a d u r c h g e k e n n z e i c h n e t, daß

- 35 die Refresh-Steuerschaltung (30) die Befehlssignale (CMD)
hinsichtlich eines definierten Befehlsmodells auswertet und
daraus selbständig den Zeitpunkt festlegt, wann ein Refresh-

Befehl (AREF) oder eine Refresh-Befehlssequenz abgesetzt wird.

4. Speichermodul nach Anspruch 3,

5 d a d u r c h g e k e n n z e i c h n e t, daß
die Refresh-Steuerschaltung (30) die Befehlssignale (CMD)
mittels eines heuristischen Algorithmus auswertet.

5. Speichermodul nach Anspruch 1 oder 2,

10 d a d u r c h g e k e n n z e i c h n e t, daß
in der Refresh-Steuerschaltung (30) ein einstellbarer Zeit-
wert (tR) eingestellt ist, der festlegt, innerhalb welcher
Zeit ein Speicherzelleninhalt von Speicherzellen (MC) eines
entsprechenden Speicherbauelements aufzufrischen ist, und von
15 der Refresh-Steuerschaltung (30) in Abhängigkeit des ein-
stellbaren Zeitwerts (tR) ein Refresh-Befehl (AREF) oder eine
Refresh-Befehlssequenz abgesetzt wird.

6. Speichermodul nach Anspruch 1 oder 2,

20 d a d u r c h g e k e n n z e i c h n e t, daß
- die Speicherbauelemente (10 bis 18, 20 bis 28) jeweils ein
matrixförmig organisiertes Speicherzellenfeld mit Reihen (WL)
und Spalten (BL) aufweisen,
- die Refresh-Steuerschaltung (30) feststellt, auf welche der
25 Reihen (WL) eines ausgewählten Speicherbauelements in einem
definierten Zeitraum kein Zugriff stattgefunden hat, und in
Abhängigkeit dieser Auswertung selbständig den Zeitpunkt
festlegt, wann ein Refresh-Befehl (AREF) oder eine Refresh-
Befehlssequenz abgesetzt wird.

30

7. Speichermodul nach Anspruch 6,

d a d u r c h g e k e n n z e i c h n e t, daß
- das Speichermodul (1) für unabhängig voneinander betriebene
Einheiten von Reihen (WL) jeweils einen Satz (61) Zähler-
35 schaltungen aufweist, wobei die einzelnen Zählerschaltungen
(C[0] bis C[4095]) eines Satzes jeweils einer unterschiedli-

chen Reihe (WL) der entsprechenden Einheit von Reihen zugeordnet sind,

- die jeweilige Zählerschaltung (C[0] bis C[4095]) bei einem Zugriff auf die zugeordnete Reihe rückgesetzt wird,

- 5 - die Refresh-Steuerschaltung (63, 64, 66, 67) die Zählerschaltungen (C[0] bis C[4095]) auf ihren Zählerstand hin auswertet und in Abhängigkeit dieser Auswertung selbständig den Zeitpunkt festlegt, wann ein Refresh-Befehl (AREF) oder eine Refresh-Befehlssequenz abgesetzt wird.

10

8. Speichermodul nach einem der Ansprüche 1 bis 7,
dadurch gekennzeichnet, daß
die Refresh-Steuerschaltung (30) innerhalb eines von den
Speicherbauelementen (10 bis 18, 20 bis 28) separaten Halb-
15 leiterbausteins angeordnet ist.

9. Speichermodul nach einem der Ansprüche 1 bis 8,
dadurch gekennzeichnet, daß
der eingangsseitige Anschluß der Refresh-Steuerschaltung (30)
20 mit einer Kontaktleiste (40) des Speichermoduls (1) verbunden ist.

10. Speichermodul nach einem der Ansprüche 1 bis 9,
dadurch gekennzeichnet, daß
25 das Speichermodul (1) als DIMM-Modulanordnung ausgeführt ist.

11. Speichermodul nach einem der Ansprüche 1 bis 10,
dadurch gekennzeichnet, daß
die Speicherbauelemente (10 bis 18, 20 bis 28) des Speicher-
30 moduls (1) dynamische Schreib-Lese-Speicher sind.

Zusammenfassung

Speichermodule mit einer Mehrzahl von integrierten Speicherbauelementen

5

Ein Speichermodule (1) umfaßt eine Mehrzahl von integrierten Speicherbauelementen (10 bis 18, 20 bis 28), die auf einem Trägersubstrat angeordnet sind, sowie eine separat von den Speicherbauelementen auf dem Trägersubstrat angeordnete Refresh-Steuerschaltung (30). Diese ist ausgangsseitig mit der Mehrzahl der integrierten Speicherbauelemente (10 bis 18, 20 bis 28) verbunden. Die Refresh-Steuerschaltung (30) ist derart ausgebildet, daß sie selbständig einen Refresh-Befehl (AREF) oder eine Refresh-Befehlssequenz zur Auffrischung des Speicherzelleninhalts von Speicherzellen (MC) eines ausgewählten der Speicherbauelemente generiert und an das ausgewählte Speicherbauelement überträgt. Solche Refresh-Befehle müssen daher nicht mehr von einem Speichercontroller erzeugt werden, so daß dieser von einer derartigen Funktionalität entlastet ist. Dadurch kann dessen Design-Komplexität verringert werden.

10
15
20

Figur 1

Bezugszeichenliste

	1, 2	Speichermodul
	3	Motherboard
5	4	Speichercontroller
	5	Übertragungsbus
	10 - 18	Speicherbauelement
	20 - 28	Speicherbauelement
	30	Refresh-Steuerschaltung
10	31	Register
	40	Kontaktleiste
	50	Trägersubstrat
	61	Satz
	62	Multiplexer
15	63	Kontrollschaltung
	64	Decoder
	65	Register
	66	Befehls-Einspeiseschaltung
	67	Adreß-Einspeiseschaltung
20	CLK	Taktsignal
	ADR	Adreßsignal
	CMD	Befehlssignal
	DA	Datensignal
	CK, CK1, CK2	Taktsignalleitung
25	CA, CA1, CA2	Kommando- und Adreßbus
	DQ10 - DQ18	Datenanschluß
	DQ20 - DQ28	Datenanschluß
	DQ	Datenanschlüsse
	AREF	Refresh-Befehl
30	tR	Zeit
	MC	Speicherzellen
	WL	Wortleitungen
	BL	Bitleitungen
	RAS, CAS, WE	Kommandosignale
35	EN	Aktivierungssignal
	C[0] bis C[4095]	Zählerschaltungen
	RST	Rücksetzsignal

INC	Signal
OUT	Signal
AW	Erlaubnissignal
IN	Signal

Fig. 1

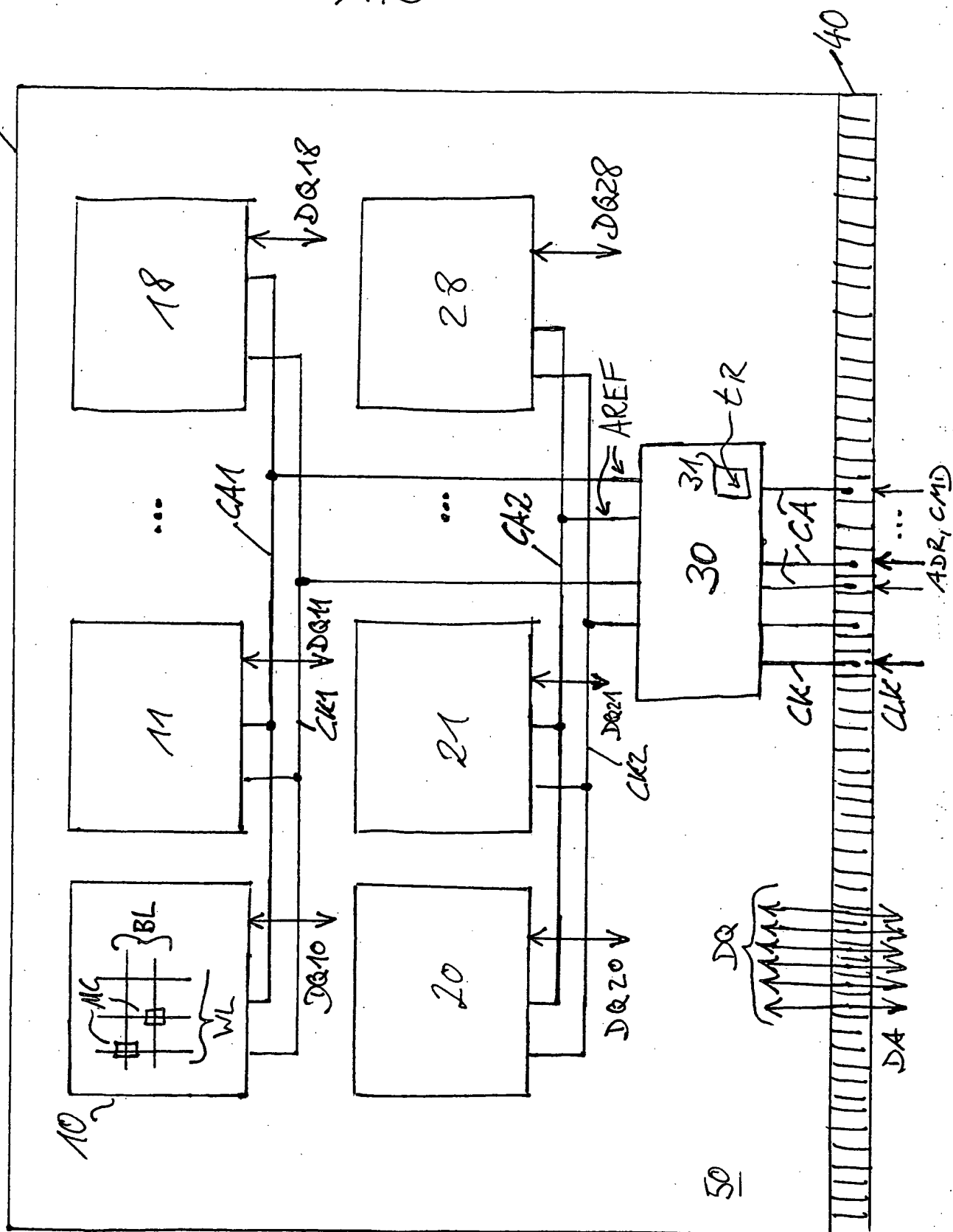
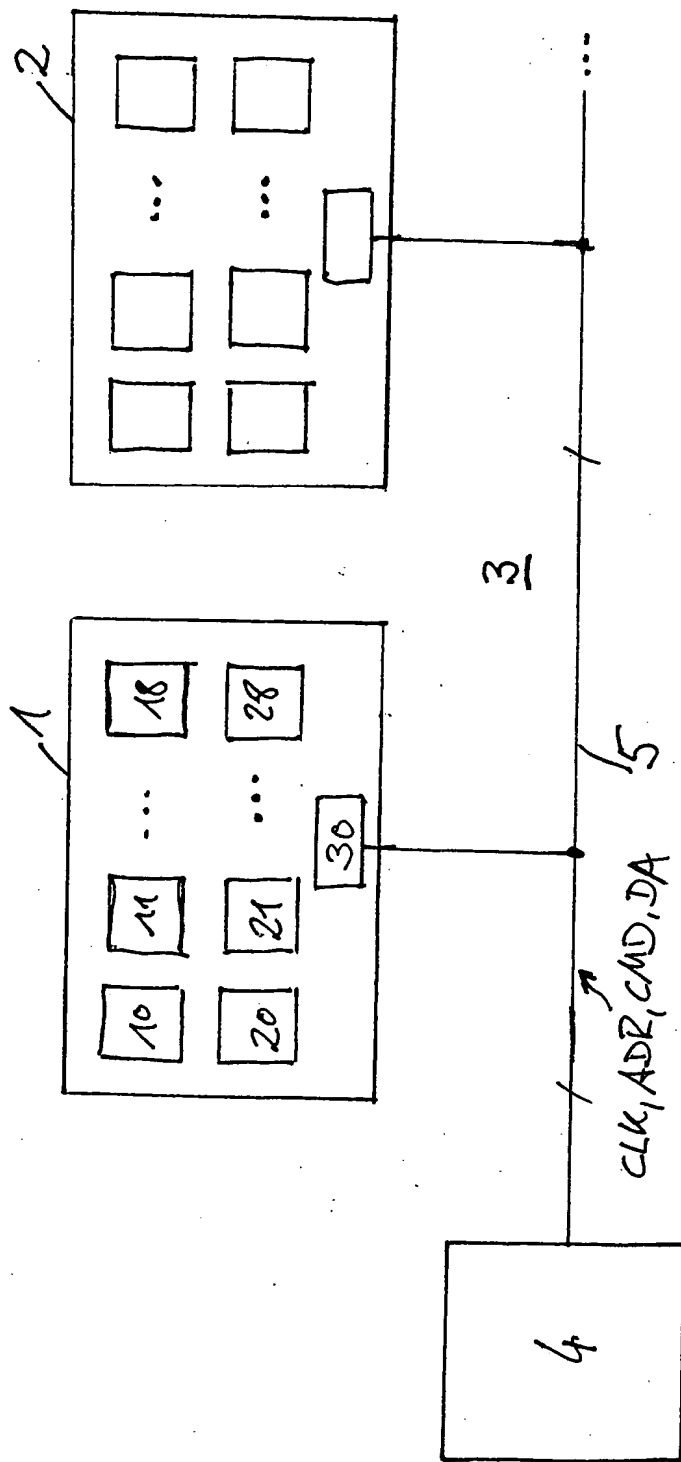


Fig. 2



313

30

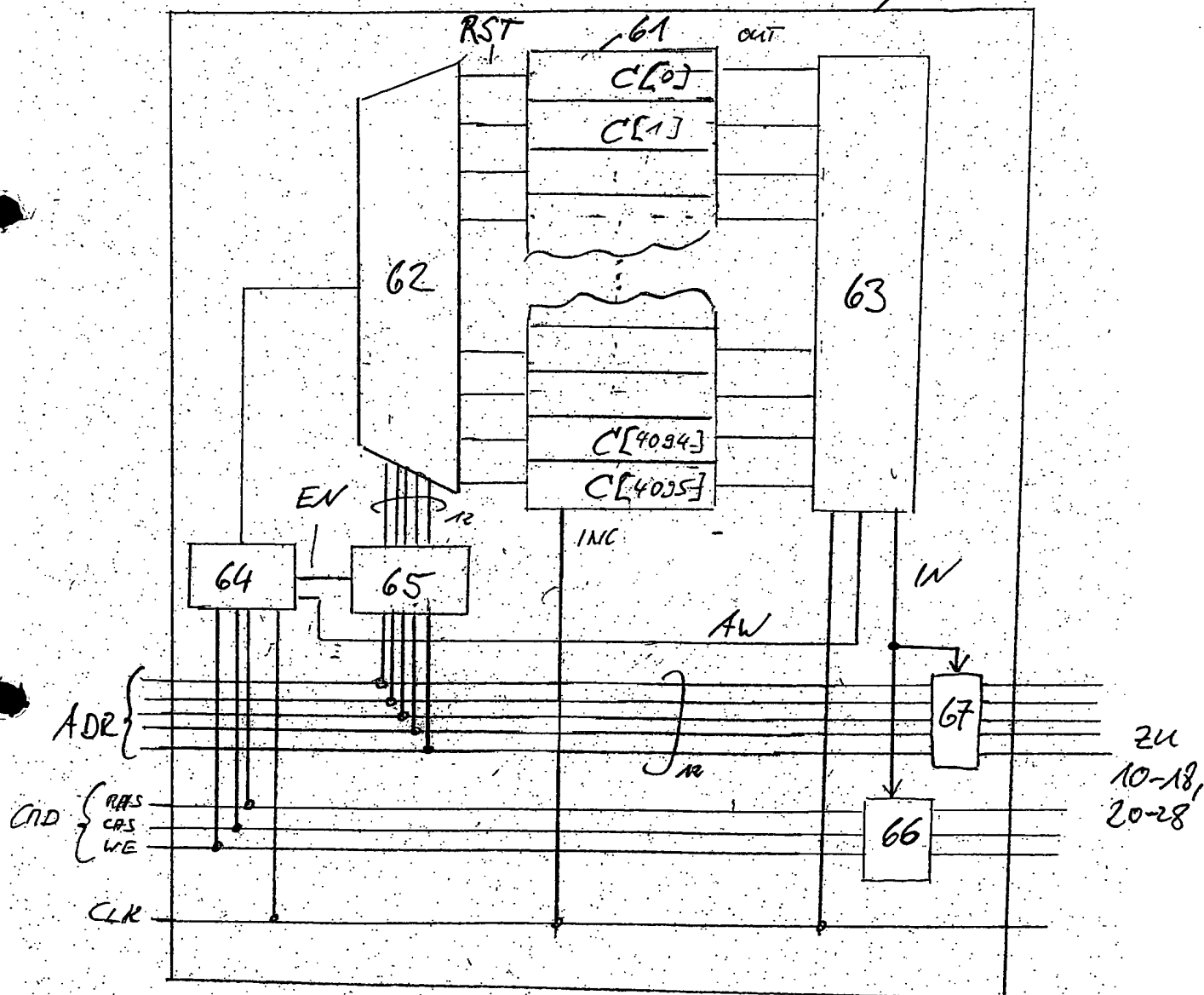


Fig. 3